

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-298598

(43)Date of publication of application : 11.10.2002

(51)Int.Cl.

G11C 29/00
G01R 31/28
G01R 31/3183

(21)Application number : 2001-099323

(71)Applicant : HITACHI LTD

HITACHI ULSI SYSTEMS CO LTD

(22)Date of filing : 30.03.2001

(72)Inventor : OKUMURA ATSUSHI

HASEGAWA MASATOSHI

KOBAYASHI TORU

NAKAYAMA MICHIAKI

SAKAKIBARA HIDEKI

KITAMURA NOBUAKI

YOKOYAMA YUJI

MIYAOKA SHUICHI

SAWAMOTO HIDEO

NISHIYAMA TAKASHI

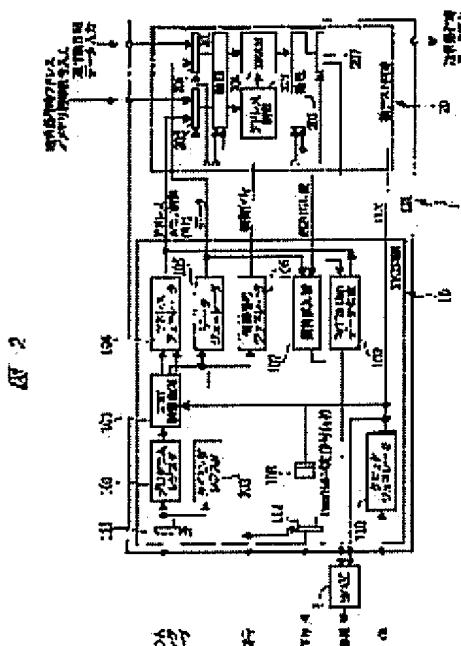
KUME SHOJI

(54) SEMICONDUCTOR DEVICE, AND TEST METHOD FOR SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide test technology of a semiconductor device which can output redundancy relieving information to a high speed SRAM in the outside of a LSI at high speed, and can read out redundancy relieving information stored in the SRAM at low speed with a low speed tester after finish of the test.

SOLUTION: A test device of a semiconductor device is constituted of a LSI 1 including a BIST circuit and a circuit to be tested, a tester for testing a circuit to be tested of the LSI 1, a SRAM 3 for holding a test result of the circuit to be tested of the LSI 1, or the like. The



device is provided with a pass/fail discrimination signal holding circuit 108 holding a pass/fail discrimination signal inside the BIST circuit 10, and a fail bit map data generating circuit 109 outputting fail bit map information at high speed. The device outputs fail bit map information of a DRAM 204 at high speed to the high speed SRAM 3 of the outside of the LSI 1, and reads out fail bit map information of this SRAM 3 with a low speed tester after finish of a test.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開
特開2002-21
(P2002-2985)

(43)公開日 平成14年10月11日

(51)Int.Cl.	識別記号	F I	テレ
G 11 C 29/00	6 7 1	G 11 C 29/00	6 7 1 B 2
	6 5 1		6 5 1 Z 5
	6 7 5		6 7 5 L
G 01 R 31/28		G 01 R 31/28	B
31/3183			V

審査請求 未請求 請求項の数7 OL (全19頁)

(21)出願番号 特願2001-99323(P2001-99323)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四

(22)出願日 平成13年3月30日(2001.3.30)

(71)出願人 000283169

株式会社日立越エル・エス・エムズ

東京都小平市上水本町5丁目2

(72)発明者 奥村 敏

東京都青梅市新町六丁目16番
金谷日立製作所デバイス開発

(74)代理人 100080001

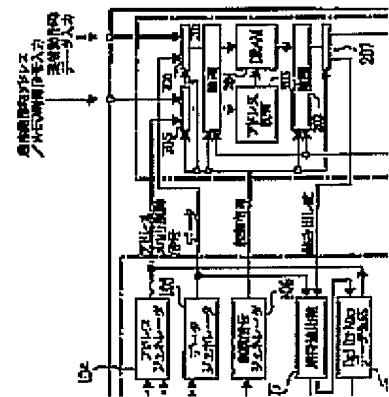
弁理士 鶴井 大和

(54)【発明の名称】 半導体装置、および半導体装置のテスト方法

(57)【要約】

【課題】LSIの外部の高速なSRAMに高速で冗長救済情報を出力し、テスト終了後に低速なテスト用SRAMに替えておいた冗長救済情報を低速で読み出すことができる半導体装置のテスト技術を提供する。

【解決手段】BIST回路と被テスト回路を含むLSI1と、LSI1の被テスト回路をテストするためのテスト用LSI1の被テスト回路のテスト結果を保持するためのSRAM3などから構成される半導体装置のテスト装置であって、BIST回路10の内部にバスノフ



(2) 特開2002-
2

【特許請求の範囲】

【請求項1】 メモリ回路と、

前記メモリ回路のテスト結果であるバス/フェイル判定の情報と、フェイルアドレス情報を出力するための回路とを有することを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、前記メモリ回路をテストするテスト制御信号のタイミングを設定するためのレジスタをさらに有することを特徴とする半導体装置。

【請求項3】 メモリ回路と、このメモリ回路をテストするためのBIST回路とを含み、このBIST回路は、

前記メモリ回路のテストプログラムを記憶するための第1レジスタと、

前記メモリ回路のテスト制御信号のタイミングを設定するための第2レジスタと、

前記第1レジスタに記憶されたテストプログラムおよび前記第2レジスタに記憶されたテスト制御信号のタイミングで前記メモリ回路をテストし、バス/フェイル判定情報とフェイルアドレス情報を出力するための回路とを有することを特徴とする半導体装置。

【請求項4】 メモリ回路と、このメモリ回路の入力/出力に接続された論理回路と、前記メモリ回路および前記論理回路をテストするためのBIST回路とを含み、このBIST回路は、

前記メモリ回路および前記論理回路のテストプログラムを記憶するための第1レジスタと、

前記メモリ回路および前記論理回路のテスト制御信号のタイミングを設定するための第2レジスタと、

前記第1レジスタの出力に基づいて制御動作を行う制御回路と、

前記制御回路により前記論理回路を活性状態にしたときは前記第1レジスタに記憶されたテストプログラムおよび前記第2レジスタに記憶されたテスト制御信号のタイミングで前記論理回路と前記メモリ回路が接続された通常動作状態をテストし、前記論理回路を非活性状態にしたときは前記第1レジスタに記憶されたテストプログラムおよび前記第2レジスタに記憶されたテスト制御信号のタイミングで前記メモリ回路のみを直接テストし、バス/フェイル判定情報およびフェイルアドレス情報を出

アドレス情報を取得するためのテストと、前記メモリ回路のフェイルアドレス情報の回路から前記メモリ装置に出力して、1に前記メモリ回路のフェイルアドレス情報と前記メモリ装置に書き込まれた前記メモリアドレス情報を前記テストに読み出し、て前記メモリ回路のフェイルアドレス情報を特徴とする半導体装置のテスト方法。

【請求項6】 メモリ回路、およびこのメモリアドレス情報を出力するための回路と、

前記半導体装置の外部に接続され、前記入情報を出力するための回路から出力される回路のフェイルアドレス情報を保持するメモリ装置と、

前記複数のメモリ装置に保持された前記メモリアドレス情報を取得するためのテストと、前記メモリ回路をテストした結果である出情報を出力するための回路から前記複数

に出力して、前記メモリ装置のそれぞれのフェイルアドレス情報を書き込み、前記メモリ装置のそれぞれに書き込まれたフェイルアドレス情報を前記テストなし、前記テストにて前記メモリ回路の情報を取得することを特徴とする半導体装置。

【請求項7】 請求項6記載の半導体装置において、

前記メモリ装置のそれぞれに前記メモリアドレス情報を書き込みを行う際に、前記クロックを前記メモリ装置のそれぞれを特徴とする半導体装置のテスト方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体技術に属し、特に内部にメモリ回路とBIST回路とを有する半導体装置のテスト方法に関するものである。

(3)

特開2002-

3

4

【0003】

【発明が解決しようとする課題】本発明者は、半導体装置のテスト技術について検討した結果、以下のようなことを明らかとした。たとえば、前記両公報の技術はいずれも、テストパターンの生成、テスト命令の順序付けは可能となるものの、高速化が進むDRAMのテストを行おうとする場合に生ずる課題、すなわち高速化対応の外部テストを必要とする課題や、高速なテスト結果の出力の処理の課題などに応えることが難しいものとなってきている。これらの課題に対する対策がDRAMの高速化が進むにつれて求められている。

【0004】すなわち、近年のように、DRAMの高速化が進んでくると、それに応じて高速テストが必要となってくる。しかしながら、DRAMの設計、製造の早さとの関係から望むべき高速テストが得られない可能性も生ずる。望むべき高速テストを得ることが可能であったとしても、高速テストは、中速テストのような通常的なテストに比べ、たとえば数十倍もの高価格となってしまう可能性を持つ。その結果、望むべきテストができなかったり、DRAMのテストコストが非常に大きなものとなってしまう可能性が生ずる。このような背景から、DRAMにおいても、テストコスト削減のため、安価な低速テストで高速テストを可能とするLSI内蔵のBIST回路でテストを行う必要が生じている。

【0005】そこで、たとえば、外部クロックを内部で倍速することによって、テストの限界周波数以上の周波数でテスト動作するようなBIST回路技術が考慮される。この技術によれば、LSIにおけるメモリ回路を高速にテストすることができる。しかし、この場合には、LSIの動作周波数の方が外部テストの周波数よりも高いため、テスト結果をLSIから直接読み出すことができない。そこでさらに、テストのバス/フェイルの情報などはLSI内の保持回路やメモリ回路に一時記憶させ、テスト終了後に低速のテストで読み出す方式が考慮される。LSIが冗長教済回路を持つ場合、それに応じて冗長教済情報を取り出す必要がある。しかし、冗長教済情報はバス/フェイル情報とは異なり、データ量が著しく大きい。そのため、冗長教済情報をLSI内に記憶させることは適当でない。

【0006】そこで、本発明の一つの目的は、冗長教済

なるであろう。

【0010】

【課題を解決するための手段】本願における発明のうち、代表的なものの概要を簡単次のようにおりである。

【0011】本発明は、前記目的を達成するバス/フェイルの情報を低速で出力するに、フェイルアドレスの冗長教済情報をための回路を設ける、②LSIとテストRAMを設ける、③BIST回路内にタイミングを設定するレジスタを設ける、回路内に論理回路の活性/非活性を制御するようにしたものである。

【0012】すなわち、本発明による半モリ回路と、このメモリ回路をテストし、および選別テスト結果を出力するための回路とを特徴とするものである。特に、テストに高速で出力されるフェイルアドレスのト結果は比較的に低速で出力されるバスの情報とし、さらにメモリ回路をテストする信号のタイミングを設定するための回路したものである。

【0013】また、本発明による他の半モリ回路と、このメモリ回路をテストする回路とを含み、このBIST回路が、ストプログラムを記憶するための第1レジスタと、各レジスタに記憶されたテストプログラムと、各レジスタに記憶されたテスト信号のタイミングでメモリ回路のテスト結果および選別テスト結果を出力とを有することを特徴とするものである。

【0014】また、本発明によるさらには、メモリ回路と、このメモリ回路の入力された論理回路と、メモリ回路および論理するためのBIST回路とを含み、これが、メモリ回路および論理回路のテストをための第1レジスタと、テストタイミングを設定するための第2レジスタと、非活性を制御するための制御回路と、より論理回路を活性状態にしたときは各

(4)

特開2002-

5

続され、出力されたメモリ回路のテスト結果を保持するためのメモリ装置と、このメモリ装置に保持されたテスト結果を判定するためのテスタとを有する構成において、メモリ回路をテストしたテスト結果をテスト結果を出力するための回路からメモリ装置に出力して、メモリ装置にメモリ回路のテスト結果を比較的に高速で書き込み、このメモリ装置に書き込まれたメモリ回路のテスト結果をテスタにより比較的に低速で読み出し、このテスタにてメモリ回路のテスト結果を判定することを特徴とするものである。特に、テスト結果は比較的に高速で出力されるフェイルアドレスの情報とするものである。

【0016】また、本発明による他の半導体装置のテスト方法は、メモリ回路およびこのテスト結果を出力するための回路を含む半導体装置と、この半導体装置の外部に接続され、出力されたメモリ回路のテスト結果を保持するための複数のメモリ装置と、この複数のメモリ装置に保持されたテスト結果を判定するためのテスタとを有する構成において、メモリ回路をテストしたテスト結果をテスト結果を出力するための回路から複数のメモリ装置に出力して、メモリ装置のそれぞれにメモリ回路のテスト結果を比較的に高速でインターリーブ方式により書き込み、このメモリ装置のそれぞれに書き込まれたメモリ回路のテスト結果をテスタにより比較的に低速でインターリーブ方式により読み出し、このテスタにてメモリ回路のテスト結果を判定することを特徴とするものである。特に、メモリ回路のテスト結果をインターリーブ方式により書き込みを行う際に、半導体装置から比較的に高速なインターリーブ用のクロックをメモリ装置のそれぞれに供給するものである。

【0017】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全国において、同一部材には同一の符号を付し、その繰り返しの説明は省略する。

【0018】まず、図1により、本実施の形態の半導体装置のテスト装置の概略構成の一例を説明する。図1は本実施の形態の半導体装置のテスト装置を示す概略構成図である。

【0019】本実施の形態の半導体装置のテスト装置は、たとえば内部にメモリ回路とBIST回路を有する

5
10
15
20
25
30
35
40
45
50
55
60
65
70
75
80
85
90
95
100
105
110
115
120
125
130
135
140
145
150
155
160
165
170
175
180
185
190
195
200
205
210
215
220
225
230
235
240
245
250
255
260
265
270
275
280
285
290
295
300
305
310
315
320
325
330
335
340
345
350
355
360
365
370
375
380
385
390
395
400
405
410
415
420
425
430
435
440
445
450
455
460
465
470
475
480
485
490
495
500
505
510
515
520
525
530
535
540
545
550
555
560
565
570
575
580
585
590
595
600
605
610
615
620
625
630
635
640
645
650
655
660
665
670
675
680
685
690
695
700
705
710
715
720
725
730
735
740
745
750
755
760
765
770
775
780
785
790
795
800
805
810
815
820
825
830
835
840
845
850
855
860
865
870
875
880
885
890
895
900
905
910
915
920
925
930
935
940
945
950
955
960
965
970
975
980
985
990
995
1000
1005
1010
1015
1020
1025
1030
1035
1040
1045
1050
1055
1060
1065
1070
1075
1080
1085
1090
1095
1100
1105
1110
1115
1120
1125
1130
1135
1140
1145
1150
1155
1160
1165
1170
1175
1180
1185
1190
1195
1200
1205
1210
1215
1220
1225
1230
1235
1240
1245
1250
1255
1260
1265
1270
1275
1280
1285
1290
1295
1300
1305
1310
1315
1320
1325
1330
1335
1340
1345
1350
1355
1360
1365
1370
1375
1380
1385
1390
1395
1400
1405
1410
1415
1420
1425
1430
1435
1440
1445
1450
1455
1460
1465
1470
1475
1480
1485
1490
1495
1500
1505
1510
1515
1520
1525
1530
1535
1540
1545
1550
1555
1560
1565
1570
1575
1580
1585
1590
1595
1600
1605
1610
1615
1620
1625
1630
1635
1640
1645
1650
1655
1660
1665
1670
1675
1680
1685
1690
1695
1700
1705
1710
1715
1720
1725
1730
1735
1740
1745
1750
1755
1760
1765
1770
1775
1780
1785
1790
1795
1800
1805
1810
1815
1820
1825
1830
1835
1840
1845
1850
1855
1860
1865
1870
1875
1880
1885
1890
1895
1900
1905
1910
1915
1920
1925
1930
1935
1940
1945
1950
1955
1960
1965
1970
1975
1980
1985
1990
1995
2000
2005
2010
2015
2020
2025
2030
2035
2040
2045
2050
2055
2060
2065
2070
2075
2080
2085
2090
2095
2100
2105
2110
2115
2120
2125
2130
2135
2140
2145
2150
2155
2160
2165
2170
2175
2180
2185
2190
2195
2200
2205
2210
2215
2220
2225
2230
2235
2240
2245
2250
2255
2260
2265
2270
2275
2280
2285
2290
2295
2300
2305
2310
2315
2320
2325
2330
2335
2340
2345
2350
2355
2360
2365
2370
2375
2380
2385
2390
2395
2400
2405
2410
2415
2420
2425
2430
2435
2440
2445
2450
2455
2460
2465
2470
2475
2480
2485
2490
2495
2500
2505
2510
2515
2520
2525
2530
2535
2540
2545
2550
2555
2560
2565
2570
2575
2580
2585
2590
2595
2600
2605
2610
2615
2620
2625
2630
2635
2640
2645
2650
2655
2660
2665
2670
2675
2680
2685
2690
2695
2700
2705
2710
2715
2720
2725
2730
2735
2740
2745
2750
2755
2760
2765
2770
2775
2780
2785
2790
2795
2800
2805
2810
2815
2820
2825
2830
2835
2840
2845
2850
2855
2860
2865
2870
2875
2880
2885
2890
2895
2900
2905
2910
2915
2920
2925
2930
2935
2940
2945
2950
2955
2960
2965
2970
2975
2980
2985
2990
2995
3000
3005
3010
3015
3020
3025
3030
3035
3040
3045
3050
3055
3060
3065
3070
3075
3080
3085
3090
3095
3100
3105
3110
3115
3120
3125
3130
3135
3140
3145
3150
3155
3160
3165
3170
3175
3180
3185
3190
3195
3200
3205
3210
3215
3220
3225
3230
3235
3240
3245
3250
3255
3260
3265
3270
3275
3280
3285
3290
3295
3300
3305
3310
3315
3320
3325
3330
3335
3340
3345
3350
3355
3360
3365
3370
3375
3380
3385
3390
3395
3400
3405
3410
3415
3420
3425
3430
3435
3440
3445
3450
3455
3460
3465
3470
3475
3480
3485
3490
3495
3500
3505
3510
3515
3520
3525
3530
3535
3540
3545
3550
3555
3560
3565
3570
3575
3580
3585
3590
3595
3600
3605
3610
3615
3620
3625
3630
3635
3640
3645
3650
3655
3660
3665
3670
3675
3680
3685
3690
3695
3700
3705
3710
3715
3720
3725
3730
3735
3740
3745
3750
3755
3760
3765
3770
3775
3780
3785
3790
3795
3800
3805
3810
3815
3820
3825
3830
3835
3840
3845
3850
3855
3860
3865
3870
3875
3880
3885
3890
3895
3900
3905
3910
3915
3920
3925
3930
3935
3940
3945
3950
3955
3960
3965
3970
3975
3980
3985
3990
3995
4000
4005
4010
4015
4020
4025
4030
4035
4040
4045
4050
4055
4060
4065
4070
4075
4080
4085
4090
4095
4100
4105
4110
4115
4120
4125
4130
4135
4140
4145
4150
4155
4160
4165
4170
4175
4180
4185
4190
4195
4200
4205
4210
4215
4220
4225
4230
4235
4240
4245
4250
4255
4260
4265
4270
4275
4280
4285
4290
4295
4300
4305
4310
4315
4320
4325
4330
4335
4340
4345
4350
4355
4360
4365
4370
4375
4380
4385
4390
4395
4400
4405
4410
4415
4420
4425
4430
4435
4440
4445
4450
4455
4460
4465
4470
4475
4480
4485
4490
4495
4500
4505
4510
4515
4520
4525
4530
4535
4540
4545
4550
4555
4560
4565
4570
4575
4580
4585
4590
4595
4600
4605
4610
4615
4620
4625
4630
4635
4640
4645
4650
4655
4660
4665
4670
4675
4680
4685
4690
4695
4700
4705
4710
4715
4720
4725
4730
4735
4740
4745
4750
4755
4760
4765
4770
4775
4780
4785
4790
4795
4800
4805
4810
4815
4820
4825
4830
4835
4840
4845
4850
4855
4860
4865
4870
4875
4880
4885
4890
4895
4900
4905
4910
4915
4920
4925
4930
4935
4940
4945
4950
4955
4960
4965
4970
4975
4980
4985
4990
4995
5000
5005
5010
5015
5020
5025
5030
5035
5040
5045
5050
5055
5060
5065
5070
5075
5080
5085
5090
5095
5100
5105
5110
5115
5120
5125
5130
5135
5140
5145
5150
5155
5160
5165
5170
5175
5180
5185
5190
5195
5200
5205
5210
5215
5220
5225
5230
5235
5240
5245
5250
5255
5260
5265
5270
5275
5280
5285
5290
5295
5300
5305
5310
5315
5320
5325
5330
5335
5340
5345
5350
5355
5360
5365
5370
5375
5380
5385
5390
5395
5400
5405
5410
5415
5420
5425
5430
5435
5440
5445
5450
5455
5460
5465
5470
5475
5480
5485
5490
5495
5500
5505
5510
5515
5520
5525
5530
5535
5540
5545
5550
5555
5560
5565
5570
5575
5580
5585
5590
5595
5600
5605
5610
5615
5620
5625
5630
5635
5640
5645
5650
5655
5660
5665
5670
5675
5680
5685
5690
5695
5700
5705
5710
5715
5720
5725
5730
5735
5740
5745
5750
5755
5760
5765
5770
5775
5780
5785
5790
5795
5800
5805
5810
5815
5820
5825
5830
5835
5840
5845
5850
5855
5860
5865
5870
5875
5880
5885
5890
5895
5900
5905
5910
5915
5920
5925
5930
5935
5940
5945
5950
5955
5960
5965
5970
5975
5980
5985
5990
5995
6000
6005
6010
6015
6020
6025
6030
6035
6040
6045
6050
6055
6060
6065
6070
6075
6080
6085
6090
6095
6100
6105
6110
6115
6120
6125
6130
6135
6140
6145
6150
6155
6160
6165
6170
6175
6180
6185
6190
6195
6200
6205
6210
6215
6220
6225
6230
6235
6240
6245
6250
6255
6260
6265
6270
6275
6280
6285
6290
6295
6300
6305
6310
6315
6320
6325
6330
6335
6340
6345
6350
6355
6360
6365
6370
6375
6380
6385
6390
6395
6400
6405
6410
6415
6420
6425
6430
6435
6440
6445
6450
6455
6460
6465
6470
6475
6480
6485
6490
6495
6500
6505
6510
6515
6520
6525
6530
6535
6540
6545
6550
6555
6560
6565
6570
6575
6580
6585
6590
6595
6600
6605
6610
6615
6620
6625
6630
6635
6640
6645
6650
6655
6660
6665
6670
6675
6680
6685
6690
6695
6700
6705
6710
6715
6720
6725
6730
6735
6740
6745
6750
6755
6760
6765
6770
6775
6780
6785
6790
6795
6800
6805
6810
6815
6820
6825
6830
6835
6840
6845
6850
6855
6860
6865
6870
6875
6880
6885
6890
6895
6900
6905
6910
6915
6920
6925
6930
6935
6940
6945
6950
6955
6960
6965
6970
6975
6980
6985
6990
6995
7000
7005
7010
7015
7020
7025
7030
7035
7040
7045
7050
7055
7060
7065
7070
7075
7080
7085
7090
7095
7100
7105
7110
7115
7120
7125
7130
7135
7140
7145
7150
7155
7160
7165
7170
7175
7180
7185
7190
7195
7200
7205
7210
7215
7220
7225
7230
7235
7240
7245
7250
7255
7260
7265
7270
7275
7280
7285
7290
7295
7300
7305
7310
7315
7320
7325
7330
7335
7340
7345
7350
7355
7360
7365
7370
7375
7380
7385
7390
7395
7400
7405
7410
7415
7420
7425
7430
7435
7440
7445
7450
7455
7460
7465
7470
7475
7480
7485
7490
7495
7500
7505
7510
7515
7520
7525
7530
7535
7540
7545
7550
7555
7560
7565
7570
7575
7580
7585
7590
7595
7600
7605
7610
7615
7620
7625
7630
7635
7640
7645
7650
7655
7660
7665
7670
7675
7680
7685
7690
7695
7700
7705
7710
7715
7720
7725
7730
7735
7740
7745
7750
7755
7760
7765
7770
7775
7780
7785
7790
7795
7800
7805
7810
7815
7820
7825
7830
7835
7840
7845
7850
7855
7860
7865
7870
7875
7880
7885
7890
7895
7900
7905
7910
7915
7920
7925
7930
7935
7940
7945
7950
7955
7960
7965
7970
7975
7980
7985
7990
7995
8000
8005
8010
8015
8020
8025
8030
8035
8040
8045
8050
8055
8060
8065
8070
8075
8080
8085
8090
8095
8100
8105
8110
8115
8120
8125
8130
8135
8140
8145
8150
8155
8160
8165
8170
8175
8180
8185
8190
8195
8200
8205
8210
8215
8220
8225
8230
8235
8240
8245
8250
8255
8260
8265
8270
8275
8280
8285
8290
8295
8300
8305
8310
8315
8320
8325
8330
8335
8340
8345
8350
8355
8360
8365
8370
8375
8380
8385
8390
8395
8400
8405
8410
8415
8420
8425
8430
8435
8440
8445
8450
8455
8460
8465
8470
8475
8480
8485
8490
8495
8500
8505
8510
8515
8520
8525
8530
8535
8540
8545
8550
8555
8560
8565
8570
8575
8580
8585
8590
8595
8600
8605
8610
8615
8620
8625
8630
8635
8640
8645
8650
8655
8660
8665
8670
8675
8680
8685
8690
8695
8700
8705
8710
8715
8720
8725
8730
8735
8740
8745
8750
8755
8760
8765
8770
8775
8780
8785
8790
8795
8800
8805
8810
8815
8820
8825

(5)

特開2002-

7

【0023】次に、図2により、LSIを構成するBIST回路、被テスト回路の構成の一例を説明する。図2はBIST回路、被テスト回路を詳細に示す構成図である。

【0024】BIST回路10は、たとえばプログラムレジスタ101、タイミングレジスタ102、BIST制御論理回路103、アドレスシェーネレータ104、データシェーネレータ105、制御信号シェーネレータ106、期待値比較回路107、バス/フェイル判定信号保持回路108、フェイルビットマップデータ生成回路109、クロックシェーネレータ110や、複数のセレクタ111、112などからなり、それぞれ以下のような機能を有する。なお、セレクタ111、112は、外部から入力されるBIST活性化信号により制御される。

【0025】プログラムレジスタ101は、テスト2からセレクタ111を介して入力されるBISTプログラムを記憶するための回路である。このプログラムレジスタ111のBISTプログラムに従って、LSI1の被テスト回路20のテストが行われる。また、このBISTプログラムは、プログラムストローブにより入力が許可される。

【0026】タイミングレジスタ102は、テスト2からセレクタ111を介して入力されるBISTタイミングを記憶するための回路である。このタイミングレジスタ112のBISTタイミングで、LSI1の被テスト回路20にテスト制御信号が入力される。

【0027】BIST制御論理回路103は、プログラムレジスタ101からのBISTプログラムに基づいて、アドレス/メモリ制御信号、データ、制御信号などを発生させるためのBIST動作を制御するための論理回路である。

【0028】アドレスシェーネレータ104は、BIST制御論理回路103のBIST動作による情報、タイミングレジスタ102からの情報に基づいて、アドレス/メモリ制御信号を発生するための回路である。このアドレスにはロウアドレス、カラムアドレスが含まれ、またメモリ制御信号には、ロウアドレスストローブ、カラムアドレスストローブ、ライトイネーブルなどの制御信号が含まれる。

【0029】データシェーネレータ105は、BIST制

10 16 20 30 40
バス(Pass)/フェイル(Fail)結果を保持するための回路である。このバス/フェイル判定信号として使用するバス/フェイル判定信号保持回路108は一度でもフェイルすると、このフェイルする。

【0030】フェイルビットマップ(F Map)データ生成回路109は、期待値比較回路107からの比較結果と、アドレスシェーネレータ105から発生されたアドレスに基づいて、フェイルデータを生成し、このフェイルビットマップLSI1の外部のSRAM3に出力する。このSRAM3に出力されたフェイルデータは、バス/フェイルの判定値、フェイルを含む冗長校済情報となる。

【0031】クロックシェーネレータ110は、外部クロックCLKを入力とし、この外部クロックの倍率に追倍し、LSI1の各内部回路、システムクロックCLKを発生するためのクロックCLKを発生し、CLKを使用することにより、テスト上の高速テストが可能となる。たとえば、0MHz程度の外部クロックCLKを10MHz程度のシステムクロックCLKで、周波数が40MHz程度の比較で動作するテスト2でも、640MHzで高い周波数で動作するLSI1の高速度が可能となっている。

【0032】被テスト回路20は、たとえば、アドレス制御回路202、アドレス制御回路203、

(6)

特開2002-

9

部に出力されて、DRAM134に対するデータの書き込み／読み出しが行われる。また、この論理回路201、202は、BIST回路10のクロックジェネレータ110から発生されるシステムクロックCLKに同期して動作し、制御信号により制御される。特に、テスト時には、制御信号により論理回路201、202の活性／非活性が切り替えられ、論理回路201、202とDRAM204、またはDRAM204のみのテストが行われる。これについての詳細は図6において後述する。

【0037】アドレス制御回路203は、入力側の論理回路201からの情報に基づいて、DRAM204に対するデータの書き込み／読み出しを行う際のアドレス／メモリ制御信号を発生するための回路である。このアドレス制御回路203からのアドレス／メモリ制御信号により、DRAM204に対するアクセスが制御される。

【0038】DRAM124は、通常動作時にデータの書き込み／読み出しが行われるとともに、BIST回路12を使用したテスト時にテストの対象となるメモリ回路である。このDRAM124の構成については図3において後述する。

【0039】セレクタ205～207は、BIST回路10の制御信号ジェネレータ106から発生される制御信号により制御され、論理回路201、202による通常動作、またはLSI1の内部のBIST回路10を使用したテストの入力／出力を切り替えるための回路である。通常動作時とテスト時に、セレクタ205によりアドレス／メモリ制御信号入力が切り替えられ、セレクタ206によりデータ入力が切り替えられてデータが印加され、またセレクタ207によりデータ出力が切り替えられてデータが出力される。

【0040】次に、図3により、被テスト回路を構成するDRAMの構成の一例を説明する。図3はDRAMを詳細に示す構成図である。

【0041】DRAM204は、複数のメモリセルからなるメモリマット2041と、このメモリマット2041の行方向のアドレスを指定するためのロウデコーダ2042と、列方向のアドレスを指定するためのカラムデコーダ2043と、書き込み値の入力／読み出し値の出力を行うためのメインアンプ2044などから構成されている。ロウデコーダ2042には、ロウアドレスR0

10

Addressにより行方向を指定し、コード2043に入力されたカラムアドドンAddressにより列方向を指定し、セルを選択する。そして、書き込み駆動アンプ2044に入力されるライEの制御信号を活性化し、メインアンプ込み値WDを入力して選択されたメモリセルを書き込む。また、読み出し動作において、メモリセルのデータをメインアンプ2044

10 み出し値Output Dataとして

【0043】以上のように構成される半ト装置、さらにLSI1のBIST回路回路20の構成、被テスト回路20のD構成において、通常動作時は、LSI1される図示しないプロセッサなどの制御に、回路20のセレクタ205、論理回路2制御回路203を介してアドレス／メモリ回路204に供給する。そして、書き

20 レクタ206、論理回路201を介して、のデータをDRAM204の各メモリセル、また読み出しの際にはDRAM204の値を論理回路202、セレクタ207を介す。このようにして、通常動作におけるに対するデータの書き込み／読み出しを

20 する。

【0044】また、LSI1の内部のBを構成する回路を構成する。このようにして、通常動作におけるに対するデータの書き込み／読み出しを

30 する。

【0045】また、LSI1の内部のBを構成する回路を構成する。このようにして、通常動作におけるに対するデータの書き込み／読み出しを

30 給し、BIST回路10のプログラムレ

タイングレジスタ102、BIST制御回路103、アドレスジェネレータ104、データ105、制御信号ジェネレータ106を、メモリ制御信号、データ、制御信号などにより被テスト回路20のセレクタ207、論理回路201、202を制御し、論理回路201、アドレス制御回路アドレス／メモリ制御信号をDRAM204へ供給する。そして、書き込みの際にはセレクタ201を介してデータをDRAM204へ供給する。

(7)

特開2002-

12

でテストを行うことも可能である。詳細については以下において後述する。

【0045】次に、図4、図5により、本実施の形態の半導体装置のテスト装置において、LSI1からSRAMにフェイルビットマップ情報をインターリープ方式により取得する場合の構成の一例を説明する。図4はフェイルビットマップ情報をインターリープ方式により取得する場合を説明するための構成図、図5はインターリープ方式を詳細に説明するための構成図である。

【0046】図4に示すように、LSI1からSRAM3にフェイルビットマップ情報をインターリープ方式により取得する場合には、前述したBIST回路10と被テスト回路20を含むLSI1、テスト2、SRAM3などの構成において、SRAM3がLSI1の動作周波数(640MHz)とテスト2の動作周波数(40MHz)の違いに対応して1個のLSI1に対して16個(640/40=16)のSRAM(0)～SRAM(15)が並列に接続され、さらにLSI1と複数のSRAM3との間にインターリープ用LSI4が設けられ、また複数のSRAM3とテスト2との間に演算器5が設けられている。

【0047】インターリープ用LSI4は、LSI1のBIST回路10から高速で出力されるフェイルビットマップ(FBM)情報をインターリープ方式により16個のSRAM3に振り分けるためのLSIであり、BIST回路10からフェイルビットマップ情報をシステムクロックCLKが入力される。詳細には、図5に示すように、1個のSRAM3に対して、バス(Pass)/フェイル(Fail)判定信号の保持回路401、402とORゲート403、フェイルアドレス(Fail Address)の保持回路404とセレクタ405、ライトイネーブルWE-N(WE-NはWEの反転信号)のセレクタ406、出力イネーブルOE-N(OE-NはOEの反転信号)のセレクタ407などが設けられている。クロックCLK0～CLK2はLSI1から出力されるシステムクロックCLKを使って生成され、クロックCLK0はSRAM1に供給され、またクロックCLK2に同期して保持回路401、404が動作し、クロックCLK1に同期して保持回路402が動作する。ライトイネーブルWE-N、出力イネーブルOE

10

20

30

36

40

されているSRAM3からの読み出し値SRAM3に対してデータとして書き込み401、402にリセット入力があるを初期化する。フェイルアドレスは、1で保持され、セレクタ405を介してSでアドレスとして供給される。ライトイネーブルWE-Nはセレクタ406を介し、出力イネーブルWE-Nはセレクタ407を介して、それぞれSRAM3に供給される。また、セレクタ405～407から制御する場合には、アドレス、ライトイネーブルWE-N、出力イネーブルWE-Nをテストとともに可能となっている。このフェイルビット情報を取得する動作は図11～図15に示す。

【0049】演算器5は、各SRAM3にデータを入力とし、16個のSRAM3にフェイルビットマップ情報をバラレルーシング取り込み、テスト2による読み出し時に、テスト回路20のテスト結果としてテスト力をするための回路である。

【0050】次に、図6により、LSI1にて、論理回路を活性/非活性状態に制御する一例を説明する。図6は論理回路を活性/非活性状態に制御する場合を説明するための構成図。

【0051】LSI1のテストにおいて、20の論理回路201、202を活性/非活性状態に制御する場合は、論理回路201、202が活性状態、またはDRAM204の切り替えてテストを行うことができる。

【0052】回路201、202を活性状態にした場合、論理回路201、202とDRAM204が操作状態においてLSI1の機能テストが行われ、論理回路201、202を非活性状態では、論理回路201、202がスルーパスとなり、204にのみの直接的なDRAMテストが行われる。

【0053】次に、図7により、テストの概略手順の一例を説明する。図7はテストの場合の概略手順を説明するためのフロー

【0054】テストは、たとえば一例として読み出し、マーチングチェック

(8)

特開2002-

13

14

る。書き込み／読み出し、マーチング、チェック、ディスターーリフレッシュの他に、ギャロッピング、ピンポン、ウォーキング、バタフライなどもある。

【0054】(1) テストの開始に先だって、LSI1の内部のテストプログラムを記憶するプログラムレジスタ101のリセットを行う(ステップS101)。

【0055】(2) 書き込み／読み出しのテストパターンでテストを実行する。この書き込み／読み出しでは、まずテスト2からプログラムを入力し、その後、書き込み／読み出しテストを実行する(ステップS102, S103)。この書き込み／読み出しテストでは、DRAM204を初期化した後、アドレスをインクリメントしながら“0”書き込み(write)／“0”読み出し(read)、さらに“1”書き込み／“1”読み出しを行い、続いてアドレスをデクリメントしながら“0”書き込み／“0”読み出し、さらに“1”書き込み／“1”読み出しを行い、終了となる。そして、書き込み／読み出しテストを終了した後、テスト結果を読み出してバス(Pass)／フェイル(Fail)判定を行う(ステップS104)。この判定の結果、バスの場合(ステップS105)は次のテストに進み、フェイルの場合は、フェイル(Fail)値、フェイルビットマップ(Fail Bit Map)を取得し、テスト終了となる(ステップS106～S108)。

【0056】(3) チェッカーのテストパターンでテストを実行する。このチェッカーでは、まずプログラムレジスタ101を初期化した後に、テスト2からプログラムを入力し、その後、DRAM204のチェッカーテストを実行する(ステップS109～S111)。そして、チェッカーテストを終了した後、テスト結果を読み出してバス／フェイル判定を行う(ステップS112)。この判定の結果、バスの場合(ステップS113)は次のテストに進み、フェイルの場合は、フェイル値、フェイルビットマップを取得し、テスト終了となる(ステップS114～S116)。

【0057】(4) ディスターーリフレッシュのテストパターンでテストを実行する。このディスターーリフレッシュでは、まずプログラムレジスタ101を初期化した後に、テスト2からプログラムを入力し、その後DRAM204のディスターーリフレッシュテス

成する場合を説明するためのタイミング例では、前述したマーチングテストを実行するパターンを生成する場合を例に示す。

【0059】テストパターンは、前述した10のプログラムレジスタ101で指定する値、期待値およびアドレスと、タイミング2で指定するタイミングをマージして生成される。書き込み値は16ビット、期待値アドレスは18ビットで指定され、0～10 адресにおけるDATA(0)～DATA(15)書き込み値、DATA(0)～DATA(15)の論理に基づいて、ロウアドレスストローブ(RAS-NはRASの反転信号)、カトローブCAS-N(CAS-NはCA号)、ライトイネーブルWE-N(WE信号)などのタイミングが生成される。格においては、最初にアドレスインクリメント“0”書き込み／“0”読み出し、“1”書き込み／“1”読み出しを行い、続いてアドレスによる“0”書き込み／“0”読み出し／“1”書き込み／“1”読み出しが行われる。

【0060】次に、図9、図10により、バス／フェイルのみの判定を行う場合の手順である。図9はテストのバス／フェイルのみの手順を説明するためのフロー図、図10はタイミング図である。

【0061】(11) LSI1の外部のSIIに対して外部クロックcLKを入力し、内部クロックcLKを倍倍してシステムクロックcCLKに同期し、このシステムクロックcCLKに同期してBIST実行する(ステップS201)。さらにはLSI1に対してBIST活性化信号BIST活性化信号によってBIST動作(ステップS202)。そして、BISTタイミング、プログラムストローブを入力する。この間、LSI1の外部のテストバターンを生成してテストを行う(3)。ここで、LSI1の外部のテストバターンを生成してテストを行う。LSI1の内部の動作に移行する。

【0062】(12) LSI1の内部のBISTプログラム／タイミング

(9)

特開2002-

16

15

動作状態における機能テストや、非活性状態にしたDRAM204のみのDRAMテストを行う（ステップS206）。

【0063】（13）アドレスシェーネレータ104からロウアドレスRow Address、カラムアドレスColumn Addressのアドレス、ロウアドレスストローブRAS、カラムアドレスストローブCAS、ライトイネーブルWEのメモリ制御信号、データシェーネレータ105から書き込み値WDをそれぞれ発生し、被テスト回路20のDRAM204にデータを書き込む（ステップS207）。さらに、アドレス/メモリ制御信号を発生し、DRAM204のデータを読み出し値Output Dataとして読み出す（ステップS208）。そして、期待値比較回路107において、読み出し値を書き込み値の期待値と比較する（ステップS209）。この比較の結果、一致したときのバス（Pass）、一致しないときのフェイル（Fail）のバス/フェイル判定信号を、バス/フェイル判定信号保持回路108に保持する（ステップS210）。このバス/フェイル判定信号は、一度フェイルしたときにロックされるモードを使用する。これを、アドレスをインクリメントまたはデクリメントしながら繰り返す。そして、全てのアドレスについて実行したらテストプログラムが終了する（ステップS211）。ここで、LSI1の外部の動作に移行する。

【0064】（14）テスタ2で、LSI1のバス/フェイル判定信号保持回路108に保持されたバス/フェイル判定信号を読み出す（ステップS212）。これにより、バス/フェイルのみの判定を行う場合のテストが終了する（ステップS213）。

【0065】次に、図11、図12により、テストのフェイルビットマップ情報を出力する場合の手順の一例を説明する。図11はテストのフェイルビットマップ情報を出力する場合の手順を説明するためのフロー図、図12はそのタイミング図である。

【0066】テストのフェイルビットマップ情報を出力する場合の手順は、前述したテストのバス/フェイルのみの判定を行う場合の手順と、ステップS301～S309については同じなので説明を省略し、ステップ310からの手順を説明する。

10 は、バス（Pass）/フェイル（Fail）号、ロウアドレスRow Address、カラムアドレスColumn Address、Data [13] Pass/Fail判定情報である。

【0068】（22）LSI1の内部にプログラムが終了すると（ステップS311）、外部の動作に移行する。そして、DRAM3に保持されたフェイルビットマップ（ステップS313）。これにより、マップ情報を出力する場合のテストが終了（ステップS314）。

【0069】次に、図13、図14、図15で、テスタでフェイルビットマップ情報を取得の一例を説明する。図13はテスタでマップ情報を取得する場合の手順を説明する。図14、図15はそのタイミング図。

【0070】テスタ2でフェイルビットマップ情報を取得する場合は、SRAM3への書き込み

20 らの読み出し、SRAM3の初期化を行なう（ステップS401）。すなわち、各SRAM (0)～(15)をBの側に切り替える（ステップS401）。4のタイミングに従い、16個のSRAM3の初期化を行なう（ステップS402）。すなわち、各SRAM (0)～(15)をBの側に切り替える（ステップS401）。4のタイミングに従い、16個のSRAM3の初期化を行なう（ステップS402）。すなわち、各SRAM (0)～(15)をBの側に切り替える（ステップS401）。4のタイミングに従い、16個のSRAM3の初期化を行なう（ステップS402）。

30 【0071】（31）SRAM3への書き込みは、SRAM3へのアドレス、ライトイネーブルWE、出力イネーブルOE-Nの入力をBの側に切り替える（ステップS401）。4のタイミングに従い、16個のSRAM3の初期化を行なう（ステップS402）。すなわち、各SRAM (0)～(15)をBの側に切り替える（ステップS401）。4のタイミングに従い、16個のSRAM3の初期化を行なう（ステップS402）。すなわち、各SRAM (0)～(15)をBの側に切り替える（ステップS401）。4のタイミングに従い、16個のSRAM3の初期化を行なう（ステップS402）。

40 【0072】（32）SRAM3からの読み出しは、SRAM3へのアドレス、ライトイネーブルWE、出力イネーブルOE-Nの入力をBの側に切り替える（ステップS403）。そして、4のタイミングに従い、16個のSRAM3の読み出

(10)

特開2002-

17

方式により、各SRAM3に“0”の書き込みを行う（ステップS406）。すなわち、各SRAM(0)～(15)にアドレスを入力し、リセット入力に“0”を書き込む。このとき、クロックCLK0に同期させ、ライトトイネーブルWE-N、出力トイネーブルOE-Nを印加して制御する。

【0074】以上のようにして、SRAM3への書き込み、SRAM3からの読み出し、SRAM3の初期化を行うことで、テスタ2でフェイルビットマップ情報を取得することができる。

【0075】従って、本実施の形態の半導体装置、この半導体装置のテスト装置、さらにテスト方法によれば、LSI1の内部のBIST回路10をプログラムレジスタ101、タイミングレジスタ102、BIST制御論理回路103、アドレスジェネレータ104、データジェネレータ105、制御信号ジェネレータ106、期待値比較回路107、バス/フェイル判定信号保持回路108、フェイルビットマップデータ生成回路109、クロックジェネレータ110などから構成し、さらにLSI1とテスタ2の間にSRAM3を接続した構成として、以下のような効果を得ることができる。

【0076】(1)バス/フェイル判定信号を保持するためのバス/フェイル判定信号保持回路108、フェイルビットマップ情報を高速で出力するためのフェイルビットマップデータ生成回路109をBIST回路10の内部に設けることにより、LSI1の外部の高速なSRAM3に、高速で被テスト回路20のDRAM204のフェイルビットマップ情報を出力し、テスト終了後に低速なテスタ2でSRAM3に蓄えておいたフェイルビットマップ情報を低速で読み出すことができる。

【0077】(2)LSI1とテスタ2の間に高速なSRAM3を設けることにより、テスト実行中に、SRAM3の動作周波数の数倍の周波数で出力されるフェイルビットマップの冗長校査情報を高速でSRAM3にインターリープ方式により書き込むことができるので、テスト終了後に低速でテスタ2に読み出すことが可能となる。

【0078】(3)前記(1)、(2)により、フェイルビットマップの冗長校査情報の情報量、外部クロックc1kを添倍したテスタ2の限界周波数以上の周波数で

18

特にマージン不良などの不良検出率を向上させる。

【0080】(5)前記(4)により、出率が飛躍的に向上するため、BISTしたDRAM204の不良スクリーニングができる。すなわち、メモリ制御信号が固定された従来のBIST回路では、マージン不良が多い回路の十分なスクリーニング不可能であったが、本実施の形態のよ

16 レジスタ102を設けることでスクリーニングとなる。

【0081】(6)BIST回路10の回路20の論理回路201、202の制御するための制御信号ジェネレータ10により、論理回路201、202を活性化する論理回路201、202とDRAM204を通常動作状態をテストすることができる。201、202を非活性状態にしたとき4のみを直接テストすることができる。

【0082】以上、本発明者によってなされた実施の形態に基づき具体的に説明した記述の形態は限定されるものではなく、脱しない範囲で種々変更可能であるといい。

【0083】たとえば、前記実施の形態の部にDRAMを有するLSIのテストを説明したが、本発明は、特に祝用DRAMに効果的であり、さらにSRAMモリ回路を有する半導体装置などにも広がることができる。

【0084】

【発明の効果】本願において開示される実的なものによって得られる効果を簡単に以下のことおりである。

【0085】(1)バス/フェイルの前するための回路の他に、フェイルアドレス情報を高速で出力するための回路を設けるの外部の高速なSRAMに高速で冗長校査することができるので、テスト終了後に低速なRAMに蓄えておいた冗長校査情報を低

(11)

特開2002-

19

20

階層、テスト周波数を容易に大きくすることができますため、メモリの歩留まり、性能の向上を実現することができる。

【0087】(3) BIST回路内にメモリ制御信号のタイミングを設定するレジスタを設けることで、メモリテスト時にメモリ制御信号のタイミングを自由に設定することができるので、特にマージン不良などの不良検出率が向上し、この結果、BIST回路を使用したDRAMの不良スクリーニングが可能となる。

【0088】(4) BIST回路内に論理回路の活性／非活性を制御する回路を設けることで、論理回路の活性／非活性を切り替えることができるので、論理回路を活性状態にしたときは論理回路とメモリ回路が接続された通常動作状態をテストすることができ、また論理回路を非活性状態にしたときはメモリ回路のみを直接テストすることが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施の形態の半導体装置のテスト装置を示す概略構成図である。

【図2】本発明の一実施の形態において、LSIを構成するBIST回路、被テスト回路を詳細に示す構成図である。

【図3】本発明の一実施の形態において、被テスト回路を構成するDRAMを詳細に示す構成図である。

【図4】本発明の一実施の形態において、LSIからSRAMにフェイルビットマップ情報をインターリープ方式により取得する場合を説明するための構成図である。

【図5】本発明の一実施の形態において、インターリープ方式を詳細に説明するための構成図である。

【図6】本発明の一実施の形態において、論理回路を活性／非活性状態に制御する場合を説明するための構成図である。

【図7】本発明の一実施の形態において、テストを実行する場合の概略手順を説明するためのフロー図である。

【図8】本発明の一実施の形態において、テストパターンを生成する場合を説明するためのタイミング図である。

【図9】本発明の一実施の形態において、テストのパス／フェイルのみの判定を行う場合の手順を説明するためのフロー図である。

るためのフロー図である。

【図12】本発明の一実施の形態において、フェイルビットマップ情報を出力する場合のためのそのタイミング図である。

【図13】本発明の一実施の形態において、フェイルビットマップ情報を取得する場合のためのフロー図である。

【図14】本発明の一実施の形態において、フェイルビットマップ情報を取得する場合のMへの書き込みを説明するためのタイミング図である。

【図15】本発明の一実施の形態において、フェイルビットマップ情報を取得する場合のMからの読み出し、SRAMの初期化のタイミング図である。

【符号の説明】

1 LSI

10 BIST回路

101 プログラムレジスタ

102 タイミングレジスタ

103 BIST制御論理回路

104 アドレスシェーネレータ

105 データシェーネレータ

106 制御信号シェーネレータ

107 期待値比較回路

108 パス／フェイル判定信号保持回路

109 フェイルビットマップデータ生成

110 クロックシェーネレータ

111, 112 セレクタ

20 被テスト回路

201, 202 論理回路

203 アドレス制御回路

204 DRAM

2041 メモリマット

2042 ロウデコーダ

2043 カラムデコーダ

2044 メインアンプ

205~207 セレクタ

2 テスタ

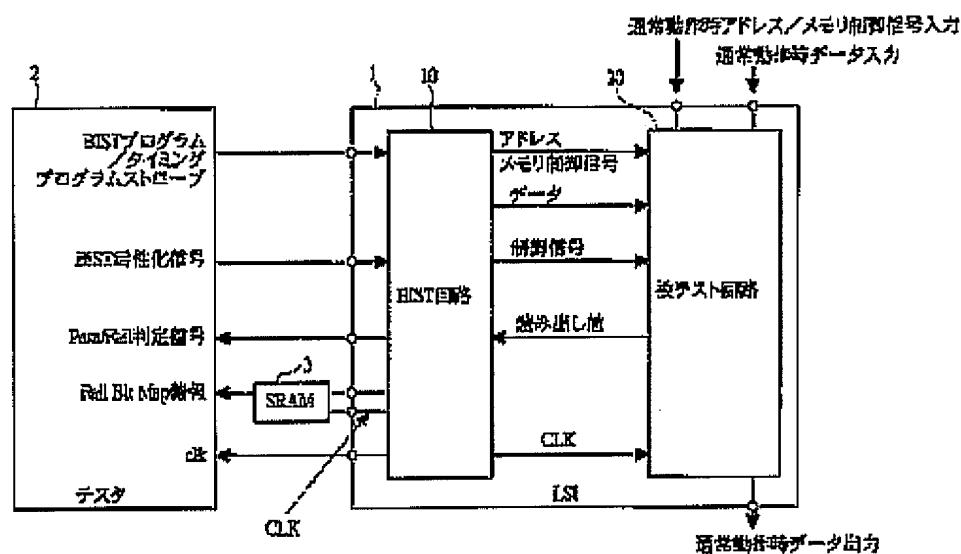
40 3 SRAM

(12)

註脚2002-1

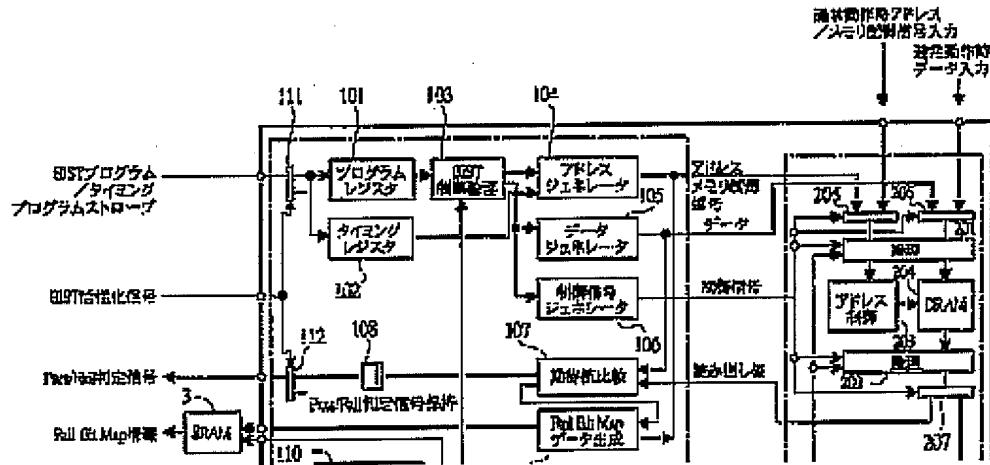
[圖 1]

1



[2]

AT 2

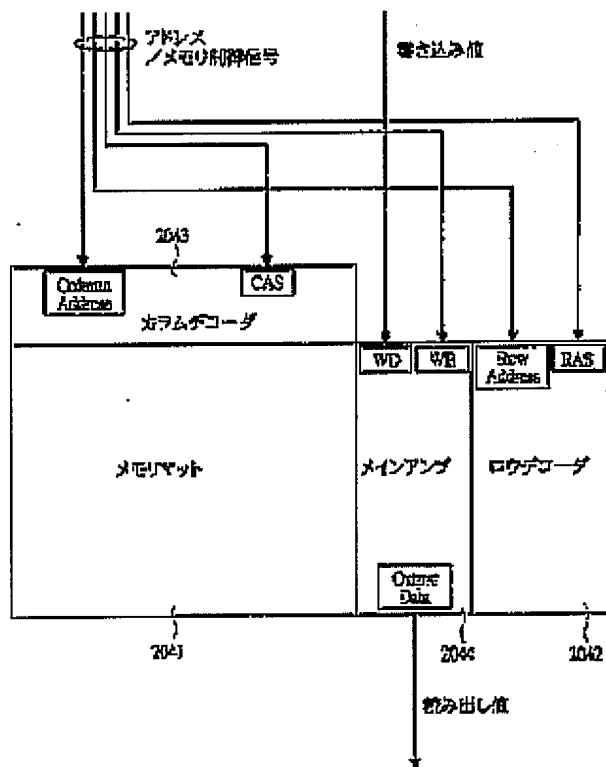


(13)

特開2002-

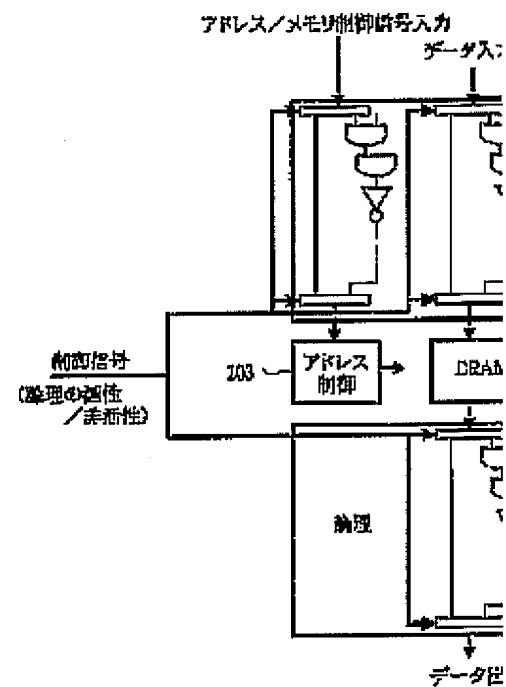
【図3】

図3

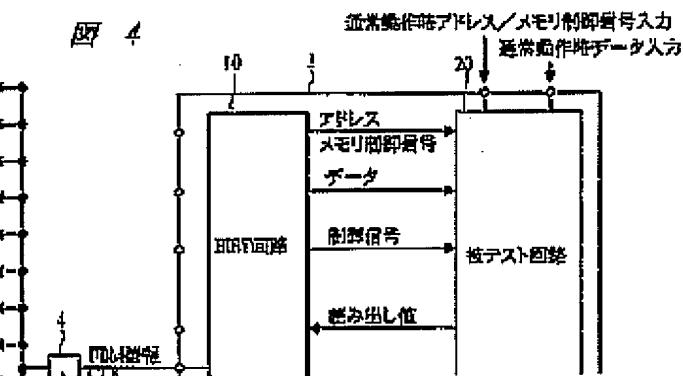


【図6】

図6



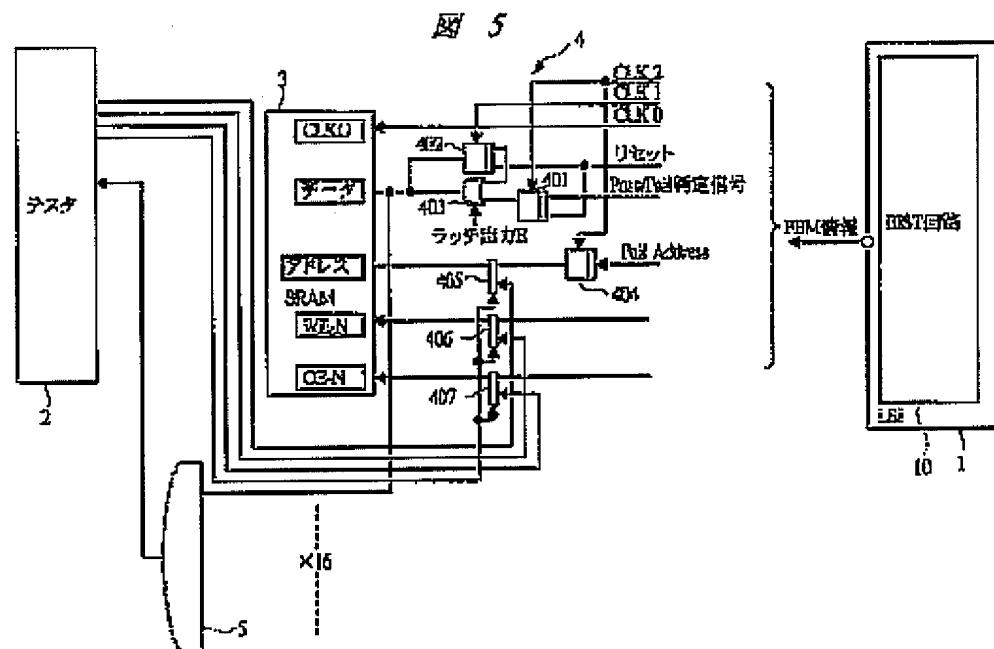
【図4】



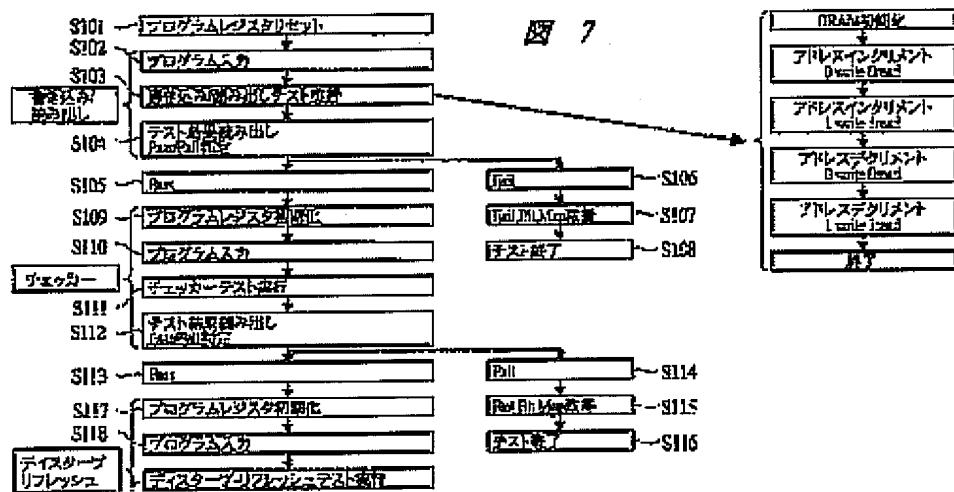
(14)

特號 2002 -

[图5]



[四?]

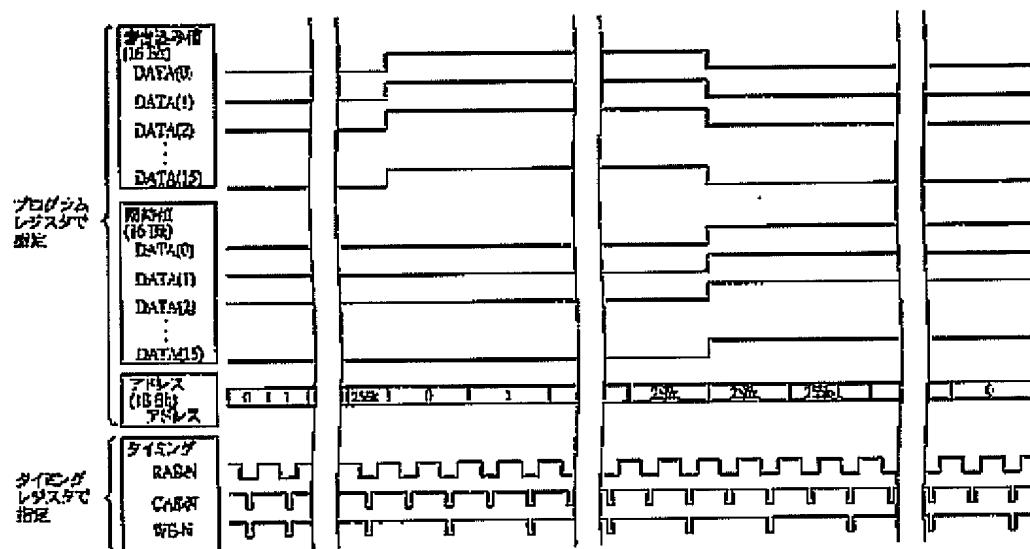


(15)

特開2002-

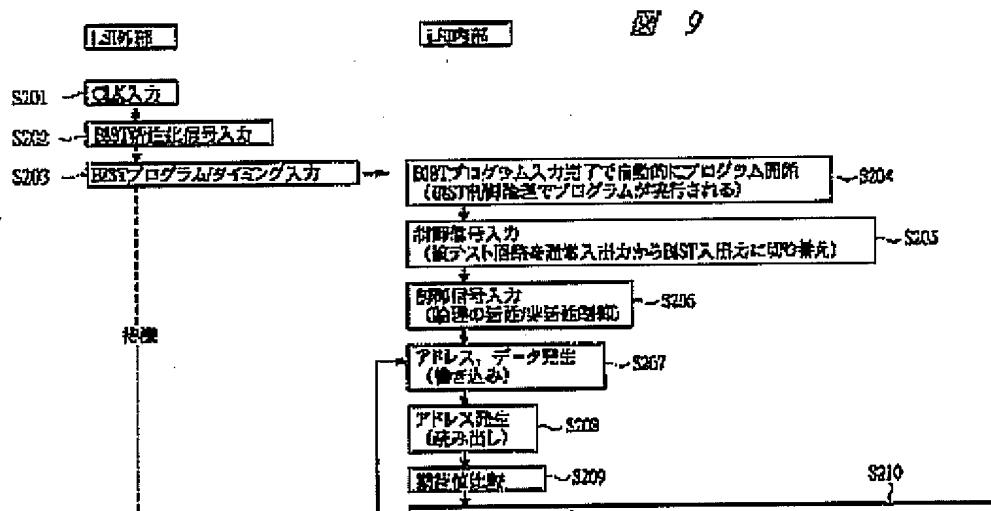
[図8]

図 8



[図9]

図 9



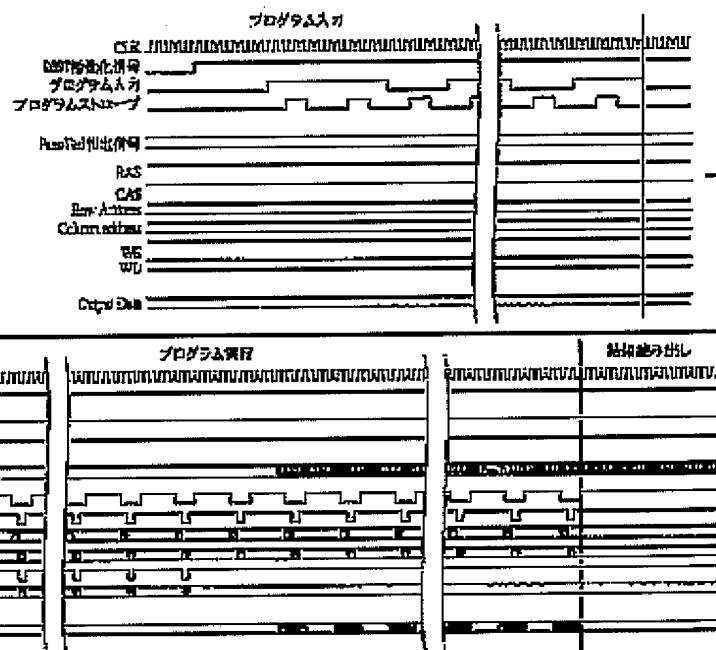
(15)

特開2002-

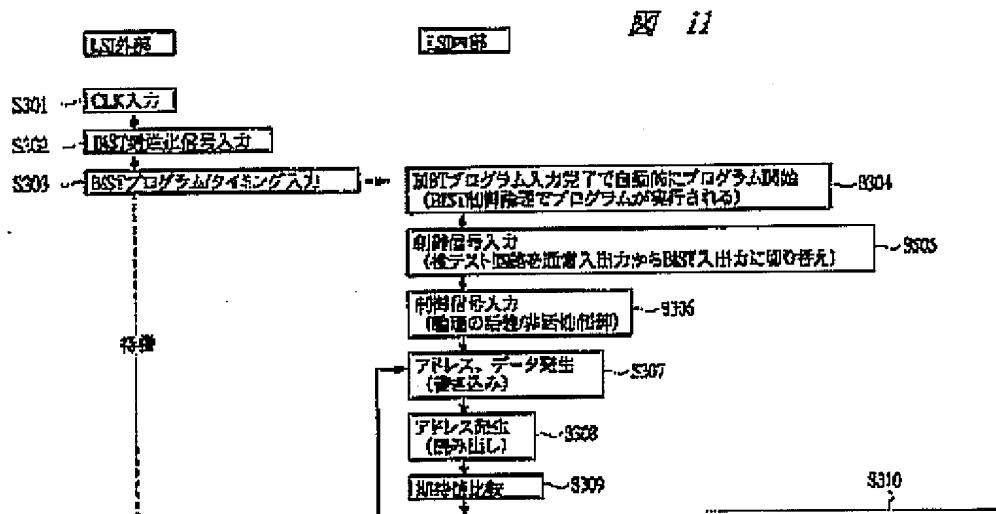
[図10]

27 10

区分	入力/出力
LS	入力
	出力
ESI内部	(検テスト用端子への) 入力
	(検テスト用端子からの) 出力



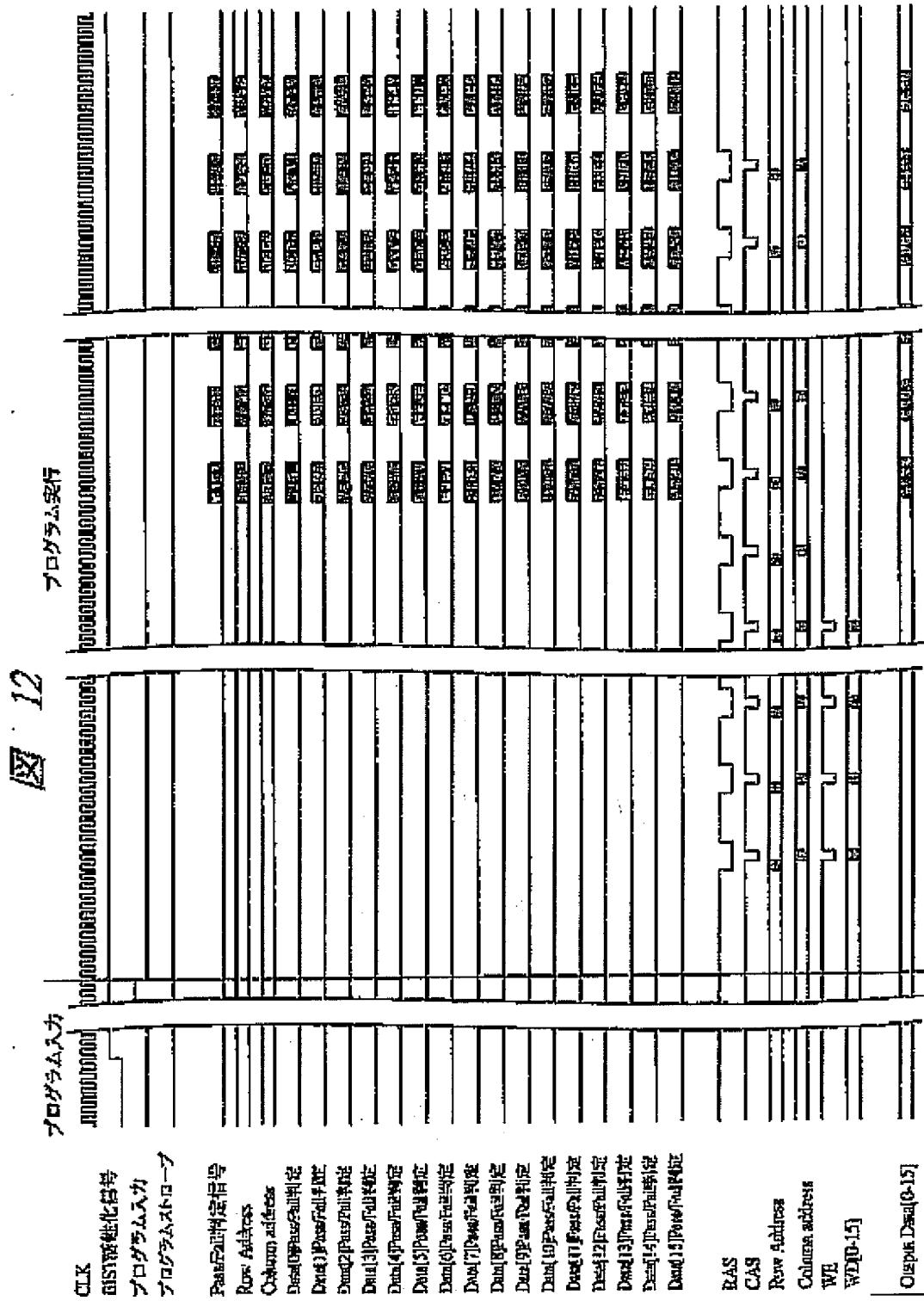
[図11]



(12)

特開2002-

[図12]

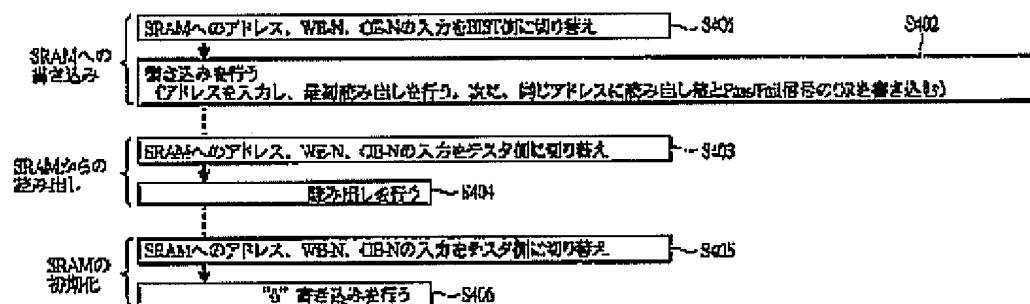


(18)

特關2002 -

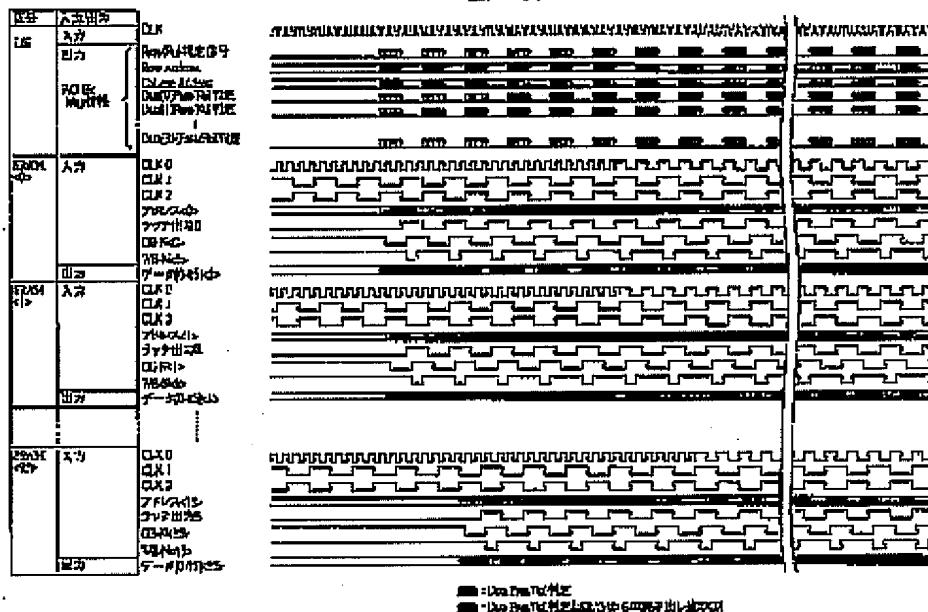
[图13]

13



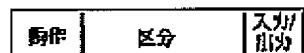
[图 14]

14



[图 15]

215



(19)

特開2002-

フロントページの続き

(51)Int.Cl.:

識別記号

F I

G 01 R 31/28

Q

(72)発明者 長谷川 雅俊
東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(72)発明者 小林 敏
東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(72)発明者 中山 道朗
東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(72)発明者 柚原 秀樹
東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(72)発明者 北村 幹章
東京都小平市上水本町5丁目22番1号 株
式会社日立エル・エス・アイ・システム
ス内

(72)発明者 横山 勇治
東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(72)発明者 宮岡 繁一
東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(72)発明者 藤本 美雄
神奈川県秦野市堀山下1番地
立製作所エンタープライズ

(72)発明者 西山 隆
神奈川県秦野市堀山下1番地
立製作所エンタープライズ

(72)発明者 久米 正二
神奈川県秦野市堀山下1番地
立製作所エンタープライズ

F ターム(参考) 20132 AA08 AB01 AB03
AK29
51106 AA01 DD24 EE02